

Patent Abstracts of Japan

PUBLICATION NUMBER : 01241854
PUBLICATION DATE : 26-09-89

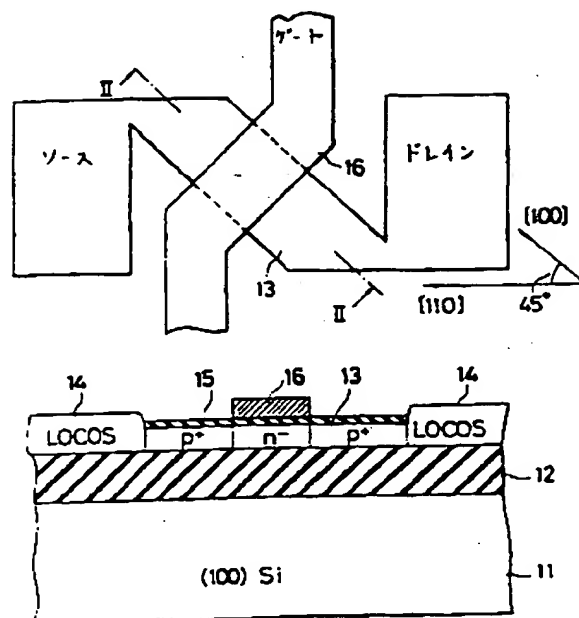
APPLICATION DATE : 24-03-88
APPLICATION NUMBER : 63068186

APPLICANT : NIPPON DENSO CO LTD;

INVENTOR : KUROYANAGI AKIRA;

INT.CL. : H01L 27/00 H01L 21/20 H01L 29/78

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : **PURPOSE:** To set the mobility of electrons in a higher state by forming an insulating layer on a silicon substrate, recrystallizing a polysilicon layer formed thereon, and forming a gate electrode layer across a channel direction on a transistor region formed with the channel in a direction of [100].

CONSTITUTION: An insulating layer 12 is formed on a substrate 11 in a plane (100). A transistor region 31 partitioned by a LOCOS layer 14 of recrystallized polysilicon is formed on the layer 12. The direction of a facet [110] of the layer 12 is set to a parallel state to one edge of the substrate 11, and the direction of the channel of the region 13 is so set as to coincide with the direction [100] inclined at 45° with respect to the direction of the facet. An insulating layer 15 is formed on the region 13, and a gate electrode layer 16 is laminated on the layer 15. The mobility of electrons and holes can be both enhanced as compared with a conventional one in which a channel is formed in a direction of a plane [110].

COPYRIGHT: (C)1989,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-241854

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)9月26日
H 01 L 27/00 3 0 1 A-7514-5F
21/20 7739-5F
29/78 3 1 1 Q-7925-5F 審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-68186

⑰ 出 願 昭63(1988)3月24日

⑱ 発 明 者 舟 橋 知 弘 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
⑲ 発 明 者 黒 柳 晃 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
⑳ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

少なくとも表面に絶縁された層を有する基板と、

上記絶縁層上に形成され再結晶化された半導体層により構成され、この半導体層の〔100〕方向に沿ってチャンネルが形成されるようにしたトランジスタ領域と、

上記トランジスタ領域上に絶縁層を介して形成され、上記チャンネル方向に交差するように設定されたゲート電極層とを具備し、

このゲート電極層の両側に、上記〔100〕方向に沿ってソースおよびドレインが形成されるようにしたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、特に溶融再結晶化膜の膜内応力による異方性を利用した、3次元ICとされる半導体装置およびその製造方法に関する。

〔従来の技術〕

単結晶シリコン基板に対してトランジスタを構成する場合には、通常ファセットが〔110〕に設定されている関係上、チャンネルがこのファセット〔110〕方向に沿って形成されるようになっている。したがって、チャンネルを流れる電流は、ほとんど〔110〕方向とされるようになっている。これがバルクトランジスタである場合には、電流の流れる方向が〔110〕方向あるいは〔100〕方向のいずれであっても、電子の移動度は変わらないものであるため問題にならない。しかし、SOI(Silicon On Insulator)膜上にトランジスタが形成されるような場合には、電子の移動度の異方性が観察される。

すなわち、絶縁膜上に例えばポリシリコンによる熔融再結晶化層を形成した場合、絶縁膜とポリシリコン層との熱膨脹特性の差によって、熔融再結晶化層に応力が内在するようになるものであり、例えばSOS (Silicon On Sapphire) 膜の場合はその膜内に圧縮応力が存在するようになり、SOI膜の場合にはその逆に引張り応力が内在するものであり、この応力が電子の移動度に与える要因と考えられる。実際にSOS膜にあっては圧縮応力が内在するものであり、この圧縮応力によって電子の移動度が低下し、正孔の移動度は高くなることが知られている。

〔発明が解決しようとする課題〕

この発明は上記のような点に鑑みなされたもので、電子の移動度がより高い状態に設定することができるようにした、3次元ICが構成されるようにする半導体装置およびその製造方法を提供しようとするものである。

- 3 -

られるようになるものである。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。第1図および第2図はその構成の状態を示しているもので、(100)シリコン基板11の表面上には、例えばSiO₂による絶縁層12が形成されている。そして、この絶縁層12上には、再結晶化されたポリシリコンによるトランジスタ領域13が形成されるもので、このトランジスタ領域13はLOCOS層14によって区画されている。

この場合、上記絶縁層12のファセット〔110〕の方向が、シリコン基板11の1つの縁に平行な状態に設定されているものであり、これに対してトランジスタ領域13のチャンネルの方向が、上記ファセット〔110〕の方向に対して45°傾斜した〔100〕の方向に一致するように設定する。そして、このトランジスタ領域13上には絶縁層15を形成し、さらにこの絶縁層15上にゲート電極層16を積層形成させるようにする。この場合、この

- 5 -

〔課題を解決するための手段〕

すなわち、この発明に係る半導体装置にあっては、単結晶シリコン基板の表面に絶縁層を形成し、この絶縁層上にポリシリコン層を形成するようにしているもので、このポリシリコン層を再結晶化し、そのファセット〔100〕の方向に沿ってチャンネルが形成されるようにトランジスタ領域を設定する。そして、上記チャンネルの方向に交差するようにしてゲート電極層を形成するようにしているものである。

〔作用〕

上記のようにして構成される半導体装置にあっては、〔100〕の方向に沿ってソースおよびドレインが形成されるようになるものであり、〔100〕の方向に沿ってチャンネルが形成されるようになる。このようにすれば、ファセット〔110〕の方向にチャンネルの形成される従来に比較して、電子さらに正孔の移動度が共に30%程度高くすることができ、良好な動作特性が得

- 4 -

ゲート電極16は、トランジスタ領域13を構成するポリシリコン層に形成したn⁻領域に重なるようにして、トランジスタ領域13のチャンネル方向に直行するように形成されるもので、上記n⁻領域の両側には、それぞれソース領域およびドレイン領域とされるp⁺領域が設定されている。

すなわち、このように構成される半導体装置にあっては、トランジスタ領域13のpn接合が〔100〕の方向に一致する状態で形成されるようになっているもので、この〔100〕方向の電子の移動度は、他の方向特に通常の半導体装置においてチャンネル方向が設定される〔110〕方向に比較して、充分に高く設定される。

具体的には、チャンネル方向を〔110〕とした場合（通常のファセット方向と平行）には、pチャンネルで150cd/Vs、nチャンネルで450cd/Vsであるのに対して、ファセット〔100〕方向にチャンネルを持たせるようにした場合には、pチャンネルで195cd/Vs、nチャンネルで550cd/Vsとなる。

- 6 -

第3図A乃至第3図Fは、上記のような半導体装置の製造過程を順次示しているもので、まず第3図Aで示すように(100)シリコン基板11の表面上に、例えば1 μ mの厚さでシリコン酸化膜による絶縁層12を形成する。この場合適宜エッチングによってシード部121が形成される。

この絶縁層12上には、例えば0.4 μ mの厚さでポリシリコン膜21を堆積形成するもので、このポリシリコン膜21は、例えばハロゲンランプ、レーザビーム等によって熔融再結晶化させ、第3図Cで示すようにトランジスタを形成するためのSOI層22を形成する。このようなSOI層22を形成する際には、シリコン基板11とポリシリコンとの熱膨脹率の差によって、SOI層22の内部に応力が発生する。そして、例えば基板11の1の縁に平行な状態でファセット[110]方向が設定されるようになる。

次に、このポリシリコンのSOI層22部分に例えばpチャンネルのトランジスタを形成するもので、第3図Dで示すように上記SOI層22に、

— 7 —

のトランジスタ領域13のSOI層22のゲート酸化を行ない、ゲート酸化膜15を形成する。そして、このゲート酸化膜15上に、例えばポリシリコンによってゲート電極層16を形成するもので、このゲート電極層16は、第4図Bで示すように、トランジスタ領域13のチャンネル方向と直角の方向に延びるようにして形成される。

このようにしてゲート電極層16が形成されたならば、60KeV、10¹⁹ドーズボロンのイオンを打ち込み、ゲート電極層16の両側に位置して、それぞれp⁺型のソース領域131およびドレイン領域132を形成する。

このようにしてトランジスタ部が構成されたならば、例えば9000ÅのBPSGにより層間絶縁層23を形成し、ソース領域131およびドレイン領域132に対応してコンタクトホールをエッチングにより形成し、このコンタクトホール部にアルミニウム配線24、25を形成することによって、この半導体装置が完成される。

尚上記実施例においては、単結晶シリコン基板

— 9 —

150KeVで10¹³リンイオンを打ち込み、このSOI層22をn⁺型にする。

このようにしてn⁺型のSOI層22が形成されたならば、第3図Eに示すようにトランジスタ形成領域以外の部分をLOCOS酸化し、このLOCOS酸化層14によって、所定のトランジスタ領域13が区画されるようにする。この場合、第4図Aで示すようにトランジスタのチャンネルが、[110]方向に対して45°傾斜した[100]方向に一致するように設定されるようにする。

この場合、ファセットの方向が、[100]に平行とされるように設定されるようにしてもよいものであり、この場合には通常のトランジスタを形成する場合と同様に、トランジスタ領域のチャンネル方向が、基板11の1つの縁と平行になるように、通常の通りにしてトランジスタ領域を設定すればよい。

このようにして、[100]方向にチャンネルの方向が設定されるようにしてトランジスタ領域13が設定されたならば、第3図Fに示すようにこ

— 8 —

上に絶縁層を形成し、この絶縁層上にポリシリコン層を形成するようにして示したが、単なる絶縁性基板上にポリシリコン層を形成するようにした場合でも同様に実施できるものである。

[発明の効果]

以上のようにこの発明に係る半導体装置にあっては、形成されるSOIトランジスタのチャンネルの方向が、[100]の方向に設定されている。このようにすれば、通常の[110]の方向にチャンネルを設定した場合に比較して、電子の移動度が約30%程度高くなるものであることが、実験等によって確認された。したがって、このようにして構成された半導体装置にあっては、熔融再結晶化膜の膜内に存在する応力の異方性が効果的に利用された状態でトランジスタが構成されるようになるものであり、動作特性の良好な3次元ICが容易且つ確実に得られるようになる。

— 10 —

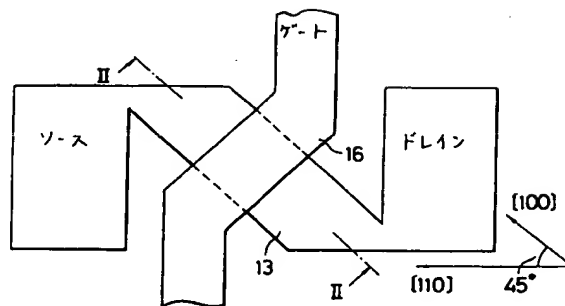
4. 図面の簡単な説明

第1図はこの発明の一実施例に係る半導体装置の平面的な構成を示す図、第2図は第1図のII-II線に対応する部分の断面構成図、第3図A乃至第3図Fはそれぞれ上記半導体装置の製造工程を順次説明する断面構成図、第4図Aおよび第4図Bはそれぞれ上記半導体装置のトランジスタ領域におけるチャンネル方向、さらにゲート電極の状態を説明する図である。

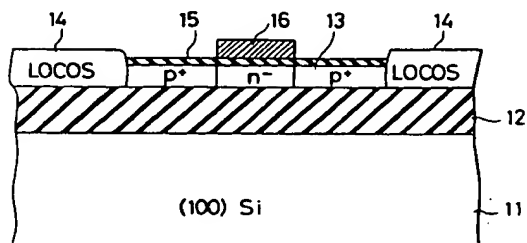
11…シリコン基板、12…絶縁層、13…トランジスタ領域、15…ゲート絶縁層、16…ゲート電極、21…ポリシリコン膜、22…SOI層、24、25…アルミニウム配線。

出願人代理人 弁理士 鈴江武彦

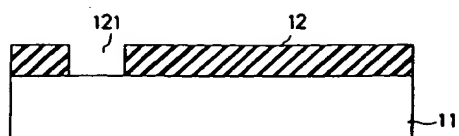
- 11 -



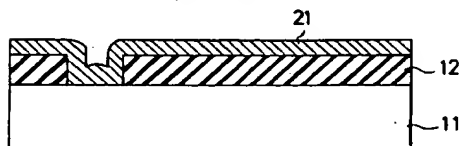
第1図



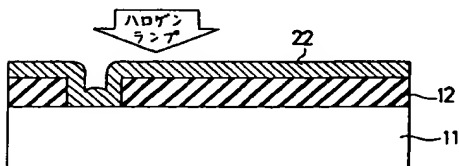
第2図



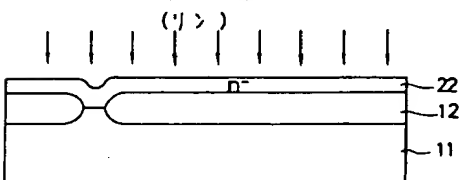
第 3 図 A



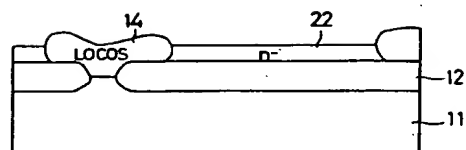
第 3 図 B



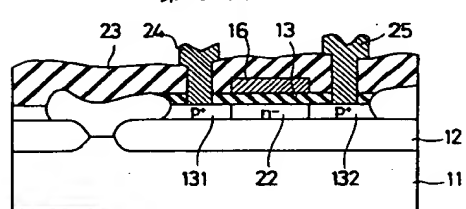
第 3 図 C



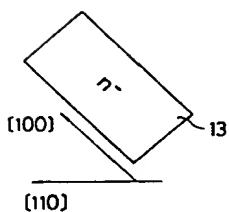
第 3 図 D



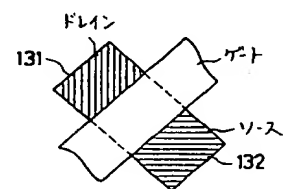
第 3 図 E



第 3 図 F



第 4 図 A



第 4 図 B